

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-312311
 (43)Date of publication of application : 24.11.1998

(51)Int.Cl. G06F 11/26
 G06F 17/50

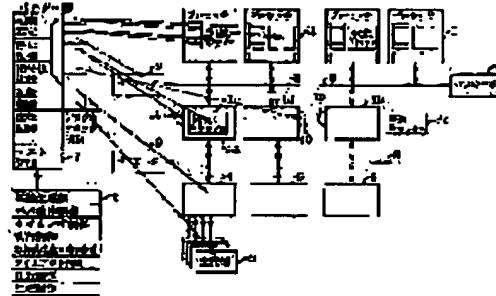
(21)Application number : 09-122205 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 13.05.1997 (72)Inventor : OMIYA YASUTO

(54) LOGICAL SIMULATION METHOD AND COMPUTER-READABLE RECORDING MEDIUM RECORD WITH PROGRAM FOR IMPLEMENTING LOGICAL SIMULATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a development period and to decrease the total number of development days by specifying verifying operation conditions and a state value of a cache, setting a data value for a simulation model as an initial value in the beginning of a test, and comparing a final value with an expected value and confirming the adequacy of operation of a circuit to be verified.

SOLUTION: A monitor part 7 resets and internally sets a simulation model wherein a cache of (N)th order includes a cache of (N-1)th order according to an indication included in test data generated by a test generation part 6. Clock supply control and stop control, and expected value comparison after the completion of simulation and test result decision making by tests are performed. Here, operation conditions of operation used for verification and a state value of the cache are specified, the data value for the simulation model is set as an initial value in the beginning of each test so as to detect an operation error according to the state of the cache; and the final value of the test is compared with an expected value to confirm the adequacy of the operation of the circuit to be verified.



LEGAL STATUS

[Date of request for examination] 13.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3162321

[Date of registration] 23.02.2001

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

23.02.2005

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-312311

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.
G 0 S F 11/26
17/50

通志

F I
G O S F 11/28
15/60

664A

審査請求 有 請求項の数88 OL (全 37 頁)

(21) 出願番号 特願平9-122205

(22) 出願日 平成9年(1997)5月19日

(71) 出圖人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目3番3号

(72) 翔明者 近江谷 康人

東京都千代田区丸の内二丁目2番3号 三

内社株式有限公司

(74)代理人弁理士 宮田 金輔 (外2名)

(54) 【充実の名前】 論理シミュレーション方法及び論理シミュレーション方法を実現させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体

(57) 【要約】

【課題】異なる記憶階層レベルの記憶アクセスの並立化における期待値、及びプロセッサ毎に異なるアドレスへのアクセスと共通なアドレスへのアクセスの混在による期待値をそれぞれ確定する。更に、テストカバレッジの拡大、テスト生成の容易化、バスリクエスト・バス応答のそれぞれの遅延制御による動作タイミングの多様化も課題。

【解決手段】 検証対象回路、非検証対象回路であるプロセッサ及び主記憶と主記憶を制御する主記憶制御装置、上記検証対象回路と上記プロセッサと上記主記憶制御装置との間をそれぞれ接続するバス、このバスに接続されるバスモニタから構成されるシミュレーションモデル、テストデータを生成する試験生成部、生成されたテストデータに含まれる指示に従ってテストごとのシミュレーション完了後の期待値比較及びテスト結果判定を行うモニター部から構成される。

